

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-006865

(43)Date of publication of application : 14.01.1991

(51)Int.Cl. H01L 29/784

(21)Application number : 01-142470

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 05.06.1989

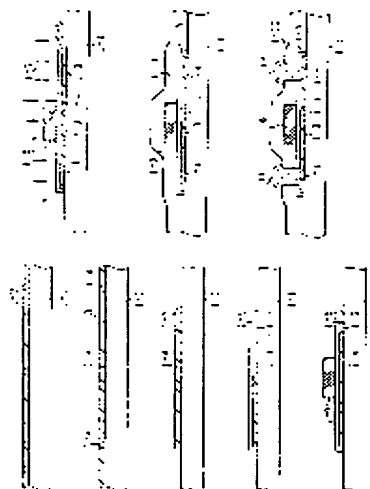
(72)Inventor : TAKENAKA SATOSHI

## (54) THIN FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

PURPOSE: To obtain an excellent thin film transistor whose N-type channel and P-type channel have both low threshold voltages whose absolute values are nearly the same by a method wherein the active region of the thin film transistor is doped with boron with an accuracy to the extent of  $1 \times 10^{15}$ – $1 \times 10^{19}$ cm<sup>-3</sup>.

CONSTITUTION: A boron-doped amorphous silicon thin film 1-2 is deposited on an amorphous insulating substrate 1-1. Boron content in the film is controlled with an accuracy to the extent about  $1 \times 10^{15}$ cm<sup>-3</sup>. After hydrogen is discharged from the thin film 1-2 by annealing under a temperature of 400–500° C, solid phase growth is performed. In low temperature annealing under a temperature of 500–700° C, only crystal grains having crystal orientations to which the activation energy of crystal growth is small are selectively made to grow and, further, the grains grow slowly to large grains. After a thin film 1-3 formed by solid phase growth is patterned to form an island, a gate oxide film 1-5 is formed and a gate electrode 1-6 is formed. Then impurity ions are implanted by using the gate electrode 1-6 as a mask to form a source region 1-7 and a drain region 1-8 in a self-alignment manner and an interlayer insulating film 1-10 is built up.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

## ⑫ 公開特許公報(A) 平3-6865

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月14日

H 01 L 29/784

9056-5F H 01 L 29/78 3 1 1 F

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 薄膜半導体装置及びその製造方法

⑯ 特 願 平1-142470

⑰ 出 願 平1(1989)6月5日

⑱ 発 明 者 竹 中 敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

## 明 細 書

## 1. 発明の名称

薄膜半導体装置及びその製造方法

## 2. 特許請求の範囲

(1) 非晶質絶縁基板上的の半導体薄膜に作製された薄膜半導体装置において、能動領域に、 $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ のボロンを含むことを特徴とする薄膜半導体装置。

(2) 非晶質絶縁基板の上に、プラズマCVD法により、ボロンドープ非晶質半導体薄膜を堆積させ、400℃～500℃のアニールにより該ボロンドープ非晶質半導体薄膜から水素を放出させる第1の工程と、500℃～700℃の低温熱処理により前記ボロンドープ非晶質半導体薄膜を固相成長させる第2の工程とを少なくとも含むことを特徴とする薄膜半導体装置の製造方法。

## 3 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、石英基板あるいはガラス基板のような非晶質絶縁基板上に形成された、結晶性の優れた

半導体薄膜を用いた薄膜半導体装置及びその製造方法に関する。

## 〔従来の技術〕

非晶質絶縁基板あるいは非晶質絶縁膜上に、結晶方位の揃った結晶粒径の大きな多結晶シリコン薄膜、あるいは単結晶シリコン薄膜を形成する方法は、SOI(Silicon On Insulator)技術として知られている。〔参考文献 SOI構造形成技術、産業図書〕。大きく分類すると、再結晶化法、エピタキシャル法、絶縁層埋め込み法、貼り合わせ法という方法がある。再結晶化法には、レーザーアニールあるいは電子ビームアニールによりシリコンを溶融再結晶化させる方法と、溶融する温度までは昇温させずに固相成長させる固相成長法の2つに分類される。比較的低温で再結晶化できるという点で固相成長法が優れている。550℃の低温熱処理にもかかわらずシリコン薄膜の結晶粒が成長したという結果も報告されている。〔参考文献 IEEE Electron Device Letters, 1989, ED-10, No. 1, p. 10〕。

vol. EDL-8, No. 8, p 361, August 1987).

〔発明が解決しようとする課題〕

しかし、従来のように不純物未添加非晶質シリコン薄膜を、固相成長させて作製されたNチャネル薄膜トランジスタは、デプレッション方向にシフトし、Pチャネル薄膜トランジスタは、エンハンスメント方向にシフトしている。また、水素化してダングリングボンドなどの欠陥を低減させた場合にも、この様な問題点が生じる。

一方、ボロンなどの不純物添加非晶質シリコン薄膜は、固相成長が進み易いという性質を持っており、より大きな結晶粒が得られる。

本発明は、この様な従来の固相成長に伴う問題点を解決し、スレッショルド電圧 ( $V_{th}$ ) のシフトしない優れた特性の薄膜半導体装置を提供することを目的としている。

〔課題を解決するための手段〕

本発明の薄膜半導体装置及びその製造方法は、

(1) 非晶質絶縁基板上的の半導体薄膜に作製さ

基板1-1上にボロンドープ非晶質シリコン薄膜1-2を堆積させる。該ボロンドープ非晶質シリコン薄膜1-2は一樣で、微小な結晶子は含まれておらず結晶成長の核が全く存在しないことが望ましい。さらに、ボロンなどの不純物元素を制御性よく添加できる方法が望ましい。この観点からプラズマCVD法が適している。この方法は、光起電力素子や、フォトダイオードや、感光ドラムなどを作製する場合によく用いられる方法である。非晶質シリコン薄膜を堆積させるには、シランガス ( $SiH_4$ ) をヘリウムガス ( $He$ ) あるいは水素ガス ( $H_2$ ) で適した濃度に希釈し、高周波電圧を印加して、分解堆積させる。ボロンドープ非晶質シリコン薄膜を作製する場合は、前記のガスに加えてジボランガス ( $B_2H_6$ ) を混合させて同様に高周波電圧を印加して、分解堆積させる。シランガスとジボランガスとの混合比を変えることによって、膜中のボロンドープ量を約  $1 \times 10^{13} \text{ cm}^{-3}$  の精度まで制御することが出来る。プラズマCVD法の場合は、基板温度が500℃以下でも

れた薄膜半導体装置において、能動領域に、 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-3}$  のボロンを含むことを特徴とする。

(2) 非晶質絶縁基板上に、プラズマCVD法により、ボロンドープ非晶質半導体薄膜を堆積させ、400℃～500℃のアニールにより該ボロンドープ非晶質半導体薄膜から水素を放出させる第1の工程と、500℃～700℃の低温熱処理により前記ボロンドープ非晶質半導体薄膜を固相成長させる第2の工程とを少なくとも含むことを特徴とする。

〔実施例〕

第1図(a)に於て、1-1は非晶質絶縁基板である。石英基板あるいはガラス基板などが用いられる。 $SiO_2$  で覆われたSi基板を用いることもある。石英基板あるいは $SiO_2$  で覆われたSi基板を用いる場合は1200℃の高温プロセスにも耐えることができるが、ガラス基板を用いる場合は軟化温度が低いために約600℃以下の低温プロセスに制限される。はじめに非晶質絶縁

成膜できる。また、デポ直前に水素プラズマあるいはアルゴンプラズマ処理を行えば、基板表面の清浄化と成膜を連続的に行うことができる。その後、400℃～500℃のアニールを行いボロンドープ非晶質シリコン薄膜から水素を放出させる。

次に、前記ボロンドープ非晶質薄膜1-2を固相成長させる。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。 $1 \times 10^{-3}$  から  $1 \times 10^{-10}$  Torr の高真空雰囲気で行ってもよい。固相成長アニール温度は500℃～700℃とする。この様な低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。第1図(b)において、1-3は固相成長したボロンドープシリコン薄膜を示しており、1-4は結晶粒界を示している。ボロンなどの不純物を含む非晶質シリコン薄膜は、ノンドープシリコン薄膜に比べて固相成長し易いことが知られて

いる。〔参考文献 S O I 構造形成技術、産業図  
1 2 1 ページ〕

次に前記固相成長したボロンドープシリコン薄  
膜 1-3 をフォトリソグラフィ法によりパターニ  
ングして第 1 図 (c) に示すように島状にする。

次に第 1 図 (d) に示されているように、ゲ  
ート酸化膜 1-5 を形成する。該ゲート酸化膜の形  
成方法としては L P C V D 法、あるいは光励起 C  
V D 法、あるいはプラズマ C V D 法、E C R プラ  
ズマ C V D 法、あるいは高真空蒸着法、あるいは  
プラズマ酸化法、あるいは高圧酸化法などのよう  
な 500℃以下の低温方法がある。該低温方法で  
成膜されたゲート酸化膜は、熱処理することによ  
ってより緻密で界面単位が少ない優れた膜となる。  
非晶質絶縁基板 1-1 として石英基板を用いる場  
合は、熱酸化法によることができる。該熱酸化法  
には d r y 酸化法と w e t 酸化法とがあるが、酸  
化温度は 1000℃以上と高いが膜質が優れてい  
ることから d r y 酸化法の方が適している。

次に第 1 図 (e) に示されるように、ゲート電

不純物濃度は、 $1 \times 10^{18}$  から  $1 \times 10^{20} \text{ cm}^{-3}$   
程度とする。

続いて第 1 図 (g) に示されるように、層間絶  
縁膜 1-10 を積層する。該層間絶縁膜材料とし  
ては、酸化膜あるいは窒化膜などを用いる。絶縁  
性が良好ならば膜厚はいくらでもよいが、数千 Å  
から数 μm 程度が普通である。窒化膜の形成方法  
としては、L P C V D 法あるいはプラズマ C V D  
法などが簡単である。反応には、アンモニアガス  
( $\text{NH}_3$ ) とシランガスと窒素ガスとの混合ガス、  
あるいはシランガスと窒素ガスとの混合ガスなど  
を用いる。

ここで、水素プラズマ法、あるいは水素イオン  
注入法、あるいはプラズマ窒化膜からの水素の拡  
散法などの方法で水素イオンを導入すると、ゲ  
ート酸化膜界面などに存在するダングリングボンド  
などの欠陥が不活性化される。この様な水素化工  
程は、層間絶縁膜 1-9 を積層する前におこなっ  
てもよい。

次に第 1 図 (h) に示すように、前記層間絶縁

(3) 膜 1-6 を形成する。該ゲート電極材料としては  
多結晶シリコン薄膜、あるいはモリブデンシリサ  
イド、あるいはアルミニウムやクロムなどのよ  
うな金属膜、あるいは I T O や  $\text{SnO}_2$  などのよ  
うな透明性導電膜などを用いることができる。成  
膜方法としては、C V D 法、スパッタ法、真空蒸  
着法、等の方法があるが、ここでの詳しい説明は  
省略する。

続いて第 1 図 (f) に示すように、前記ゲート  
電極 1-6 をマスクとして不純物をイオン注入し、  
自己整合的にソース領域 1-7 およびドレイン領  
域 1-8 を形成する。前記不純物としては、N c  
h トランジスタを作製する場合は P<sup>+</sup> あるいは A  
s<sup>+</sup> を用い、P c h トランジスタを作製する場  
合は B<sup>+</sup> 等を用いる。不純物添加方法としては、イ  
オン注入法の他に、レーザードーピング法ある  
いはプラズマドーピング法などの方法がある。1-  
9 で示される矢印は不純物のイオンビームを表し  
ている。前記非晶質絶縁基板 1-1 として石英基  
板を用いた場合には熱拡散法を使うことができる。

膜及びゲート絶縁膜にコンタクトホールを形成し、  
コンタクト電極を形成しソース電極 1-11 およ  
びドレイン電極 1-12 とする。該ソース電極及  
びドレイン電極は、アルミニウムなどの金属材料  
で形成する。この様にして薄膜トランジスタが  
形成される。

#### 〔発明の効果〕

従来、薄膜トランジスタの能動領域はノンド  
ープだったので、その特性は N チャネルではデプレ  
ッション側へ、P チャネルではエンハンスメント  
側へシフトしていたが、本発明によれば、薄膜ト  
ランジスタの能動領域に  $1 \times 10^{18} \sim 1 \times 10^{19}$   
 $\text{cm}^{-3}$  の精度でボロンをドーピングするので、N チャ  
ネル及び P チャネルともにスレッショルド電圧  
が小さくて、その絶対値もほぼ等しいとゆう優れ  
た薄膜トランジスタが実現される。薄膜トランジ  
スタを水素化した場合にも本発明は効果的である。  
イオン注入装置のような高価な装置を必要としな  
いので、コスト的にも有利である。プロセス的  
にも工程数の増加はまったくない。

ボロンドープ非晶質シリコン薄膜を固相成長させるので、従来のノンドープ非晶質シリコン薄膜を固相成長させた場合よりもより大きな結晶粒を持つシリコン薄膜が得られる。結晶粒径が大きくなれば薄膜トランジスタのON電流は増大する。

非晶質絶縁基板上に結晶性の優れたシリコン薄膜を作製することが可能になったのでSOI技術の発展に大きく寄与するものである。工程数はまったく増えない。800℃以下の低温のプロセスでも作製が可能なので、価格が安くて耐熱温度が低いガラス基板をもちいることができる。優れたシリコン薄膜が得られるのにかかわらずコストアップとはならない。

本発明によって得られた大粒径多結晶シリコン薄膜を用いて薄膜トランジスタを作成すると、優れた特性が得られる。従来に比べて、薄膜トランジスタのON電流は増大しOFF電流は小さくなる。またスレッショルド電圧も小さくなりトランジスタ特性が大きく改善される。NチャネルとPチャネルとの特性の不釣り合いさも改善される。

A3サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本縫ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

石英基板やガラス基板だけではなく、サファイア基板( $Al_2O_3$ )あるいは $MgO \cdot Al_2O_3$ 、BP、 $CaF_2$ 等の結晶性絶縁基板も用いることができる。

以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

#### 4. 図面の簡単な説明

第1図(a)から(h)は、本発明を、薄膜トランジスタに応用した場合の例を示す薄膜トランジスタの工程図である。

(4)

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高速動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、800℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

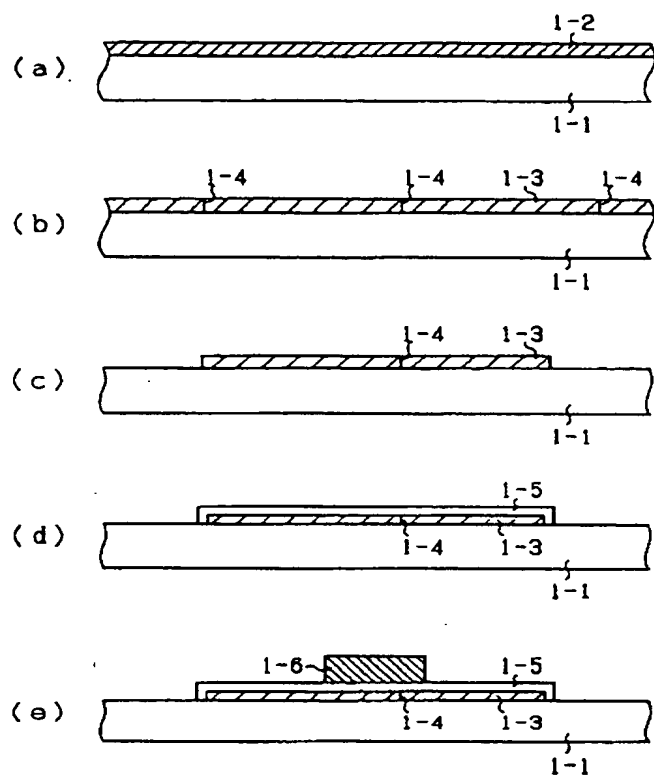
本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいは

- 1-1 ; 非晶質絶縁基板
- 1-2 ; ボロンドープ非晶質シリコン薄膜
- 1-3 ; 固相成長されたボロンドープ非晶質シリコン薄膜
- 1-4 ; 結晶粒界

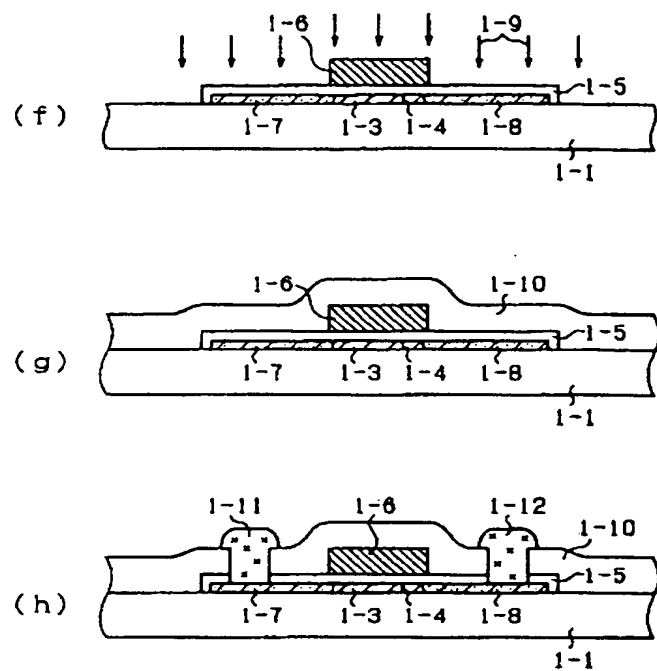
以上

出願人 セイコーエプソン株式会社  
代理人弁理士 鈴木喜三郎(他1名)

(5)



第 1 図



第 1 図